

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2725587号

(45)発行日 平成10年(1998)3月11日

(24)登録日 平成9年(1997)12月5日

(51)Int.Cl.<sup>6</sup>  
H 0 1 L 29/786  
51/00

識別記号 庁内整理番号

F !  
H 0 1 L 29/78  
29/28

技術表示箇所

(21)出願番号 特願平6-11871  
(22)出願日 平成6年(1994)2月3日  
(65)公開番号 特開平7-221313  
(43)公開日 平成7年(1995)8月18日

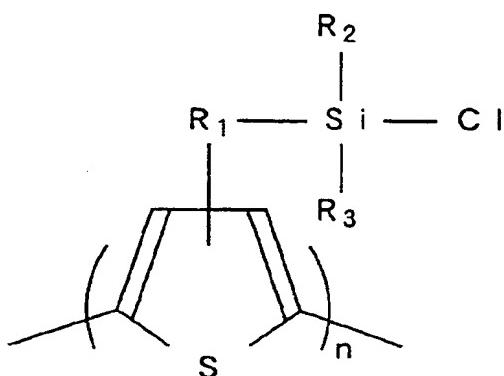
(73)特許権者 000004237  
日本電気株式会社  
東京都港区芝五丁目7番1号  
(72)発明者 屋ヶ田 弘志  
東京都港区芝五丁目7番1号 日本電気  
株式会社内  
(72)発明者 佐藤 正春  
東京都港区芝五丁目7番1号 日本電気  
株式会社内  
(72)発明者 天野 公輔  
東京都港区芝五丁目7番1号 日本電気  
株式会社内  
(74)代理人 弁理士 京本 直樹 (外2名)  
審査官 松本 邦夫  
(56)参考文献 特開 昭63-14472 (J P, A)

(54)【発明の名称】 電界効果型トランジスタ

1  
(57)【特許請求の範囲】

【請求項1】半導体層とゲート絶縁膜を具備する電界効果型トランジスタにおいて、前記半導体層が、一般式

2  
(1)で表わされるπ-共役系高分子を主成分とするものであることを特徴とする電界効果型トランジスタ。  
【化1】



(式中R<sub>1</sub>は炭素数4以上22以下のアルキレン基、オキシアルキレン基、アルケニレン基、フェニレン基より選ばれる1種、R<sub>2</sub>、R<sub>3</sub>はそれぞれ-CI、-H、-CH<sub>3</sub>、-C<sub>2</sub>H<sub>5</sub>より選ばれる1種である)

【請求項2】ゲート絶縁膜の表面に水酸基(-OH)が存在することを特徴とする請求項1記載の電界効果型トランジスタ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はπ-共役系高分子を半導体層に用いた電界効果型トランジスタに関し、詳しくは、クロロシリル基を有するポリ置換チオフェンを半導体層とする、生産性に優れ、オン・オフ比が大きくスイッチング素子として有利に使用される電界効果型トランジスタに関する。

【0002】

【従来の技術】ポリチオフェン、ポリチエニレンビニレン等のπ-共役系高分子は半導体的性質を示し、シリコンやガリウム砒素等の無機系の材料にない可撓性を持っている。また、π-共役系高分子は置換基の導入により有機溶剤に可溶なものも合成可能であり、スピンドル法、ディッピング法(浸漬法)など簡単な方法で薄膜を形成することもできる。このようなことから、これまでにπ-共役系高分子を使った整流素子や、電界効果型トランジスタが試作され、一定の特性が得られている。

【0003】π-共役系高分子を電界効果型トランジスタ

$I_o = (W/2L) \mu_{FE} C_i (V_g - V_{th})_2$  (II)  
(W:チャネル幅、L:チャネル長、 $\mu_{FE}$ :電界効果移動度、C<sub>i</sub>:ゲート絶縁膜の単位面積当たりのキャパシタンス、V<sub>g</sub>:ゲート電圧、V<sub>th</sub>:しきい電圧)  
ここで、電界効果移動度( $\mu_{FE}$ )は、電界効果型トランジスタのオン電流とゲート電圧との関係から求められ、オン時に半導体層を流れる電流の実効的なキャリア移動度を表す。この式からわかるように、電界効果型トランジスタにおいて大きいオン電流を得るために、(II)式における電界効果移動度( $\mu_{FE}$ )が大きいことが必要

\* タの半導体層として用いた従来例としては、電解重合によりπ-共役系高分子薄膜を形成するもの(例として特開昭62-85467号公報)、π-共役系高分子の溶液あるいはπ-共役系高分子前駆体の溶液を塗布するもの(例として特開平5-110069号公報)等がある。これら従来のπ-共役系高分子電界効果型トランジスタの素子構造の一例を図2に示す。

【0004】有機物を用いた電界効果型トランジスタを、アクティブマトリクス式液晶ディスプレイの画素駆動素子に応用するという検討がなされている。この場合、オン・オフ比が高いこと、つまりオフ電流(ゲート電圧が0Vの時にソース、ドレイン間に流れる電流)が小さいこと、及びオン電流(ゲート電極に電圧を印加した時にソース、ドレイン間に流れる電流)が大きいことが、コントラスト向上や応答高速化にあたって要求される。

【0005】オフ電流を低減するためには、オフ時の半導体層の導電率が低いことが必要である。また、オン電流に関しては、次に述べる電界効果移動度の値が重要である。

【0006】一般に、電界効果型トランジスタにおいて、ソース、ドレイン間に充分な電圧を印加したときに、両電極間に流れる電流I<sub>s</sub>は、次式で表されることが知られている(ただしオン電流のみ考慮)。

【0007】

$I_s = (W/2L) \mu_{FE} C_i (V_g - V_{th})_2$  (II)  
となる。  
【0008】初期のπ-共役系高分子電界効果型トランジスタは、オン電流が低くオン・オフ比も小さかった。オン電流の向上とオン・オフ比の向上のために、これまでに種々の工夫が試みられてきた。

【0009】特開平5-110069号公報では、半導体層に新材料を適用することによって、π-共役系高分子を電界効果型トランジスタの半導体層として用いた例としてはかなり高い $1 \times 10^{-1} \text{ cm}^2 / \text{V} \cdot \text{s}$ という電界

効果移動度の値が得られている。しかしこの例では、オフ電流（ゲート電圧が0Vの時にソース、ドレイン間に流れる電流）も以前より増加してしまっており、オン・オフ比の向上にはつながっていない。

【0010】オン・オフ比を向上させることを優先するため、特にオフ電流を低減させることによってオン・オフ比5桁を実現したπ-共役系高分子電界効果型トランジスタの例がある（Applied Physics Letter）、62巻、1794頁、1993年）。しかしこの場合、電界効果移動度は $2 \times 10^{-1} \text{ cm}^2 / \text{V} \cdot \text{s}$ にとどまっており、オン電流が大きくとれない。このように、オフ電流の低減とオン電流の向上を同時に行なうことが、従来困難であった。

【0011】オン電流を大きくし、オン・オフ比も大きくする技術として、ゲート電極の上にキャリア密度の異なる2種類の有機半導体層を積層し、ゲート電極からの電圧印加に応じて二つの有機層の間でキャリアを移動させることによってソース・ドレイン間の電気伝導度を変化させるというものがある（特開平5-48094号公報）。しかしこの方法は半導体層形成に二段階の手順を必要とし、煩雑である。

【0012】π-共役系高分子膜の導電率を向上させる目的で、延伸処理により分子鎖の配列状態の制御を行う試みが多数行われ、延伸処理膜の導電率の異方性が多数観測されている。また、分子鎖の結晶化が進むと導電率が向上することも知られている。このように、分子鎖の配列状態は電気伝導特性に大きな影響を及ぼす。このことから、π-共役系高分子電界効果型トランジスタの電界効果移動度は、半導体層における分子鎖の配列状態に大きく依存すると考えられる。

【0013】ソース・ドレイン間に電圧を印加し、ゲート電極に電圧を印加することによってソース・ドレイン間にオン電流が流れるのは、半導体層中の絶縁層との界面付近に伝導チャネルが形成されるためと考えられている。一方、界面付近に伝導チャネルが形成されていても、ソース・ドレイン間に電圧を印加すれば、半導体層が完全な絶縁体でない限り、半導体層／ゲート絶縁膜界面付近以外の領域（バルク）も経由してわずかながらソース・ドレイン間に電流が流れる。これがオフ電流の原因である。半導体層全体に対してドーピングを施したり、キャリア移動度を向上させて、半導体層全体の導電率をあげると、オン電流も増加するがバルクを流れるオフ電流の増加も引き起こされる。

【0014】つまり、半導体層のバルクを流れる電流のキャリア移動度を増加させずに、絶縁層との界面付近のみ分子鎖の配列制御を行い、この部分を流れる電流に対してだけキャリア移動度を増加させれば、オフ電流をほとんど増加せずにオン電流を増加させることができる。

【0015】固体の表面に横方向に配向させた形のπ-共役系高分子重合体を形成させる技術としては、化学吸着単分子膜を用いる方法がある（例として特開平5-186531号公報）。これはSi-C基と、π-共役系モノマー部分を持つ分子を固体表面に化学吸着させて単分子膜を形成した後、重合反応を起こさせることによって、固体表面に固定されたπ-共役系高分子を得るというものである。しかしこの方法では、一連の作業で分子層のπ-共役系高分子超薄膜しか得られないため、

10 電界効果型トランジスタの半導体層として使った場合、充分な大きさの電流を流すことは困難である。

【0016】

【発明が解決しようとする課題】以上述べたように、従来、π-共役系高分子を半導体層に用いた電界効果型トランジスタは、オン電流の向上と、オフ電流の低減を同時にすることが困難であった。また、この問題を改善するための従来技術は、製造方法が煩雑なものであった。

【0017】本発明はこの問題を解決するためになされたもので、電界効果移動度が大きいとともにオン・オフ比が大きく、簡便な方法で作製できる電界効果型トランジスタを提供することを目的とする。

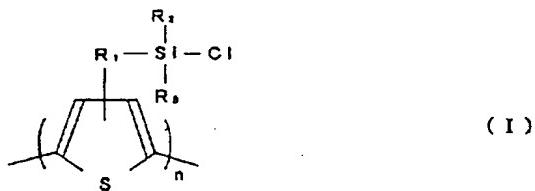
【0018】

【課題を解決するための手段】本発明者らは、下記の一般式（I）で表される重合体の有機溶剤溶液を固体表面に塗布・乾燥させたものを半導体層に用いた電界効果型トランジスタが、従来の他のπ-共役系高分子を半導体層に用いたものよりも大きい電界効果移動度およびオン・オフ比を示すことを見いだし、本発明に至った。

30 【0019】すなわち本発明における電界効果型トランジスタは、半導体層が、一般式（I）（式中R<sub>1</sub>は炭素数4以上22以下のアルキレン基、オキシアルキレン基、アルケニレン基、フェニレン基のうちより選ばれ、R<sub>2</sub>、R<sub>3</sub>はそれぞれ-C<sub>1</sub>～C<sub>6</sub>のうちより選ばれる）で表されるπ-共役系高分子からなることを特徴としている。

【0020】

【化2】



【0021】ここで、一般式（I）において、吸着性置換基部分（-R<sub>1</sub> Si R<sub>2</sub> R<sub>3</sub> Cl）はチオフェン骨格の3位、4位のどちらに結合していてもよい。言い換えれば、高分子中の全てのモノマー単位の同じ側に吸着性置換基が結合していないてもよい。また、R<sub>1</sub>が炭素数3以下の長さである材料では非水系有機溶媒への溶解性が悪く、後に述べる半導体形成過程において都合が悪

い。また  $R_1$  が炭素数 2 以上以上の長さの材料を半導体層に用いた場合、充分な電界効果移動度が得られない、分子の凝集が悪くなる等の問題を生じる。従って、 $R_1$  は炭素数 4 以上 2 以下以下の範囲、最も好ましくは 6 ~ 10 程度の炭素数が好ましい。

【0022】ゲート電極、ソース電極、ドレイン電極としては、導電性材料であれば特に限定されず、白金、金、銀、ニッケル、クロム、銅、鉄、錫、アンチモン鉛、タンタル、インジウム、アルミニウム、亜鉛、マグネシウム、およびこれらの合金や、インジウム・錫酸化物等の導電性金属酸化物、あるいはドーピング等で導電率を向上させた無機および有機半導体、例えばシリコン単結晶、ポリシリコン、アモルファスシリコン、ゲルマニウム、グラファイト、ポリアセチレン、ポリバラフェニレン、ポリチオフェン、ポリピロール、ポリアニリン、ポリチエニレンビニレン、ポリバラフェニレンビニレン等が挙げられる。ソース電極、ドレイン電極は、上に挙げた中でも半導体層との接触面において電気抵抗が少ないものが好ましい。

【0023】絶縁膜としては、一般式(I)で表される高分子が吸着作用を示すものであれば何でもよいが、表面に水酸基(-OH)が存在するものが好ましい。なぜなら、一般式(I)中のクロル基(-C1)と脱塩酸反応を起こし、共有結合するからである。また、誘電率が高く、導電率が低いものが好ましい。例としては、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化チタン、酸化タンタル、ポリエチレン、ポリイミド等が挙げられる。

【0024】半導体層の作製法としては、一般式(I)で表される高分子を用いるとともに、ゲート絶縁膜界面付近においてその高分子鎖が界面に水平に配向しようとする作用が働きばどののような方法でもよいが、非水系有機溶媒にこの高分子を溶解させて、塗布・乾燥させる方法が好ましい。上記非水系有機溶媒の例としては、クロロホルム、ジクロロメタン、トルエン、キシレン等が挙げられるが、これらに限定されるものではない。塗布方法としては、スピンドラフト法、ディッピング法、滴下法、凸版あるいは凹版印刷法、インクジェット法などが挙げられる。また、半導体層中には極力不純物を混入させないことが望ましい。なぜならば、不純物がドーバントとなって不要なキャリアが発生してしまい、オフ電流の増加を引き起こすからである。

【0025】本発明における電界効果型トランジスタの構造は薄膜型に限定されるものではなく、円筒型など立体型でもよい。

#### 【0026】

【作用】一般式(I)で表される材料を有機溶剤に溶解させ、これをゲート絶縁膜表面に塗布すると、乾燥する前の段階においてゲート絶縁膜の表面とπ-共役系高分子のクロロシリル基部分との間で吸着作用が働き、ゲー

ト絶縁膜界面付近の高分子鎖の配列状態が影響を受ける。具体的には、この領域の高分子鎖が界面に水平に配向すると考えられる。こうして、ゲート絶縁膜界面付近の領域の電気伝導度が、バルクの電気伝導度と異なった半導体層が得られる。すなわち、半導体層のバルクの導電率を低くするとともに、半導体層/ゲート絶縁膜界面付近を界面に沿って流れる電流のキャリア移動度を大きくすることができる。よって、電界効果型トランジスタとして動作させた場合に、電界効果移動度が大きいとともにオン・オフ比が大きいものとすることができる。

【0027】この方法によれば、半導体層全体におよぶ導電率の制御(ドーピングによるキャリア密度の制御、分子鎖長によるキャリア移動度の制御)を行う方法に比べ、電界効果移動度とオン・オフ比を同時に向上させることが容易である。

【0028】また、半導体層形成が1回の溶液塗布で行えるので、製造工程が単純である。

#### 【0029】

【実施例】以下に実施例を示すが、本発明は実施例に限られるものではない。

【0030】(実施例1) 図1に本実施例におけるπ-共役系高分子電界効果型トランジスタの構造を示す。まず、無アルカリガラス基板1上にクロムを蒸着し、ゲート電極2とした。次にプラズマCVD法により、5000オングストロームの窒化シリコン膜3を堆積させた後、クロム、金の順に蒸着を行い、通常の光リソグラフィー技術でソース電極4、ドレイン電極5を形成した。続いて、基板を10%濃度のフッ酸に浸漬することにより表面親水化処理をした後、この基板をポリ[3-(ジメチルクロロシリル)ヘキシルチオフェン]の2wt%キシレン溶液に浸漬してからゆっくり引き上げることにより、半導体層6を形成した。

【0031】以上の手順でチャネル長20μm、チャネル幅2mm、半導体層の厚さ約1μmのπ-共役系高分子電界効果型トランジスタを得た。このトランジスタは電界効果移動度が $1 \times 10^{-1} \text{ cm}^2 / \text{V} \cdot \text{s}$ 、オン・オフ比が約5桁であった。

【0032】(実施例2) 実施例1に記載のポリ[3-(ジメチルクロロシリル)ヘキシルチオフェン]を、ポリ[3-(ジメチルクロロシリル)オクチルチオフェン]に変更した以外は実施例1に準じてπ-共役系高分子電界効果型トランジスタを完成させた。このトランジスタは電界効果移動度が $9 \times 10^{-2} \text{ cm}^2 / \text{V} \cdot \text{s}$ 、オン・オフ比が約5桁であった。

【0033】(実施例3) 実施例1に記載のポリ[3-(ジメチルクロロシリル)ヘキシルチオフェン]を、ポリ[3-(ジメチルクロロシリル)オクチルチオフェン]とポリ(3-メチルチオフェン)の90対1の共重合体に変更した以外は実施例1に準じてπ-共役系高分子電界効果型トランジスタを完成させた。このトランジ

9

スタは電界効果移動度が $4 \times 10^{-2} \text{ cm}^2 / \text{V} \cdot \text{s}$ 、オン・オフ比が約5桁であった。

【0034】

【発明の効果】以上に述べたように本発明によれば電界効果移動度が大きく、オン・オフ比が大きいπ-共役系高分子電界効果型トランジスタが簡便な作製方法によって得られる。

【図面の簡単な説明】

【図1】本発明の一実施例を示す電界効果型トランジスタの断面図である。

10

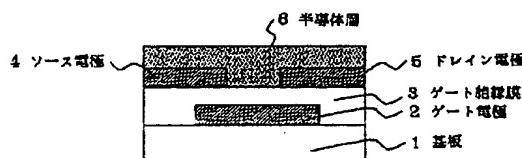
\* 【図2】従来のπ-共役系高分子電界効果型トランジスタの一例を示す断面図である。

【符号の説明】

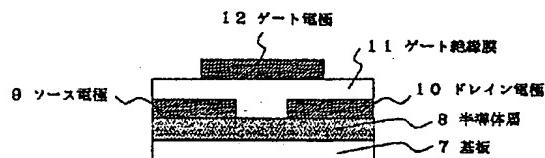
- 1, 7 基板
- 2, 12 ゲート電極
- 3, 11 ゲート絶縁膜
- 4, 9 ソース電極
- 5, 10 ドレイン電極
- 6, 8 半導体層

\*10

【図1】



【図2】



BEST AVAILABLE COPY

**THIS PAGE BLANK (USPTO)**